

JA 0199475
AUG 1989

(54) HETEROJUNCTION FIELD-EFFECT TRANSISTOR

(11) 1-199475 (A) (43) 10.8.1989 (19) JP

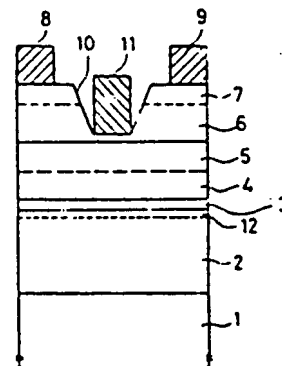
(21) Appl. No 63-24581 (22) 3.2.1988

(71) SANYO ELECTRIC CO LTD (72) FUMIO MATSUMOTO

(51) Int. Cl. H01L29/80, H01L29/205

PURPOSE: To make not only an electron supplying layer sufficiently thick but also an $n_s(N_s)$ high to enable them to contribute to the reduction of C_{gs} and R_s by a method wherein the impurity concentration of the electron supplying layer is made higher in the part on an undoped semiconductor channel layer side than in the other part on a contact layer side.

CONSTITUTION: An undoped semiconductor channel layer 2, electron supplying layers 4 and 5, contact layers 6 and 7, an input and an output electrodes 8 and 9 are successively formed on a semi-insulating crystalline substrate, where the impurity concentration of the electron supplying layers 4 and 5 is made higher in the part on the undoped semiconductor channel 2 side than in the other part on the contact layers 6 and 7 side. For instance, the undoped GaAs layer 2 and the undoped $Al_xGa_{1-x}As$ layer 3 are formed on the semi-insulating GaAs substrate 1, and the Si doped $Al_xGa_{1-x}As$ layer 4 $2 \times 10^{18} \text{ cm}^{-3}$ in Si concentration and the Si doped $Al_xGa_{1-x}As$ layer 5 that decreases gradually toward the surface from $2 \times 10^{18} \text{ cm}^{-3}$ to $5 \times 10^{17} \text{ cm}^{-3}$ in Si concentration are formed thereon.



⑫ 公開特許公報(A) 平1-199475

⑬ Int. Cl.⁴H 01 L 29/80
29/205

識別記号

庁内整理番号

H-8122-5F
8526-5F

⑭ 公開 平成1年(1989)8月10日

審査請求 未請求 請求項の数 7 (全6頁)

⑮ 発明の名称 ヘテロ接合電界効果トランジスタ

⑯ 特 願 昭63-24581

⑰ 出 願 昭63(1988)2月3日

⑱ 発 明 者 松 本 史 夫 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地

⑳ 代 理 人 弁理士 西野 卓嗣 外1名

明 細 書

1. 発明の名称

ヘテロ接合電界効果トランジスタ

2. 特許請求の範囲

1. 半絶縁性結晶基板と、この半絶縁性結晶基板上に設けられたノンドープ半導体チャンネル層と、このノンドープ半導体チャンネル層上に設けられた電子供給層と、この電子供給層上に設けられたコンタクト層と、このコンタクト層上に設けられた入力電極及び出力電極と、前記入力電極と前記出力電極の間に設けられた制御電極と、を備えて成るヘテロ接合電界効果トランジスタにおいて、

前記電子供給層の不純物濃度は前記ノンドープ半導体チャンネル層側よりも前記コンタクト層側の方が小さいことを特徴とするヘテロ接合電界効果トランジスタ。

2. 前記電子供給層の禁止帯幅は前記ノンドープ半導体チャンネル層側よりも前記コンタクト層側の方が小さいことを特徴とする請求項1記載の

ヘテロ接合電界効果トランジスタ。

3. 前記電子供給層は2層で形成され、前記ノンドープ半導体チャンネル層側の層の禁止帯幅及び不純物濃度は一定で、かつ前記コンタクト層側の層の禁止帯幅及び不純物濃度は前記コンタクト層に近づくに従い小さくなることを特徴とする請求項2記載のヘテロ接合電界効果トランジスタ。

4. 前記コンタクト層は2層で形成され、前記電子供給層側の層の不純物濃度は前記入力電極及び出力電極に近づくに従い高くなり、前記入力電極及び出力電極側の層の不純物濃度は一定であることを特徴とする請求項1記載のヘテロ接合電界効果トランジスタ。

5. 前記コンタクト層側の層の禁止帯幅及び不純物濃度が一定であることを特徴とする請求項3記載のヘテロ接合電界効果トランジスタ。

6. 前記電子供給層側の層の不純物濃度が一定であることを特徴とする請求項4の記載のヘテロ接合電界効果トランジスタ。

7. 前記制御電極は前記コンタクト層内に形成

されたりセス部に形成されていることを特徴とする請求項1記載のヘテロ接合電界効果トランジスタ。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明はヘテロ接合界面の2次元電子ガスを利用したヘテロ接合電界効果トランジスタに関する。

(ロ) 従来の技術

半導体結晶基板上に、基板結晶より禁止帯幅の大きい半導体の結晶を積層したヘテロ接合電界効果トランジスタ(以下、ヘテロ接合FETという)は、ある条件下でヘテロ接合界面に2次元電子ガスを形成することが知られている。超高速半導体装置として最近注目を集めている高電子移動トランジスタ(HEMT)も前記ヘテロ接合界面の2次元電子ガスを利用した装置である(例えば、JAPANESE JOURNAL OF APPLIED PHYSICS Vol.19 No.5, May, 1980 pp.L225-L227「A New Field-Effect Transistor with Selectively Doped GaAs/n-Al_xGa_{1-x}

As層(25)、SiドープAl_xGa_{1-x}As層(24)、ノンドープAl_xGa_{1-x}As層(23)、およびノンドープGaAs層(22)内に貫通させてソース電極(26)、ドレイン電極(27)を形成する。

前記ソース電極(26)とドレイン電極(27)間のSiドープGaAs層(25)を除去し、リセス部(28)を形成し、このリセス部(28)上にゲート電極(29)を形成する。このゲート電極はAlまたはTi-Pt-Au等をソース電極(26)とドレイン電極(27)の間にリフトオフ法により選択的に被着することにより形成される。

上述した如き製造方法により作成されたHEMTにおいては、ノンドープAl_xGa_{1-x}As層(23)とノンドープGaAs層(22)とのヘテロ接合界面の該層(22)側に2次元電子ガスチャンネル(30)が形成される。SiドープAl_xGa_{1-x}As層(24)がゲート電極(29)のショットキバリアΦ_B及びノンドープGaAs層(22)とノンドープAl_xGa_{1-x}As層(23)の電子親和力の差による伝導帯エネルギー差ΔEcにより空乏化

As Heterojunctions」参照)。

第4図はAlGaAs-GaAsヘテロ接合を用いた従来のHEMTの模式的断面構造図であり、同図により以下にその製造方法を説明する。

まず、半絶縁性GaAs基板(21)上に分子線エビタキシ(MBE)技術または有機金属エビタキシ(MOVPE)技術により、ノンドープGaAs層(22)を1μmの厚さまで成長させ、該ノンドープGaAs層(22)上にノンドープAl_xGa_{1-x}As層(23)を0~60Åの厚さまで成膜させ、次に該ノンドープAl_xGa_{1-x}As層(23)上にSiドープAl_xGa_{1-x}As層(Si濃度: 0.5~2.0×10¹⁸cm⁻³)(24)を300~1000Åの厚さまで成長させ、さらに該SiドープAl_xGa_{1-x}As層(24)上にSiドープGaAs層(Si濃度: 0.5~2.0×10¹⁸cm⁻³)(25)を成長させる。ここで、xはAl_xGa_{1-x}As中のAlAsの組成示す数値であり、略0.3である。

その後、このようにして形成されたヘテロエビタキシャル基板上にAu:Ge:Ni等からなるオーミック金属を蒸着し、リフトオフ法によりソース電極形成部およびドレイン電極形成部に該金属を

し、正にイオン化した不純物はノンドープAl_xGa_{1-x}As層(23)とノンドープGaAs層(22)とのヘテロ接合界面に負電荷を持つ電子を誘起することにより、該2次元電子ガスチャンネル(30)が形成される。

第5図は従来のHEMTのゲート電極(29)-SiドープAl_xGa_{1-x}As層(24)-ノンドープAl_xGa_{1-x}As層(23)-ノンドープGaAs層(22)に亘る伝導帯エネルギー図である。図中B₁領域はSiドープAl_xGa_{1-x}As層(24)に、B₂領域はノンドープAl_xGa_{1-x}As層(23)に、B₃領域は2次元電子ガスチャンネル(30)に、B₄領域はノンドープGaAs層(22)に夫々対応しており、禁止帯幅はB₁及びB₂領域が略1.80eV、B₃およびB₄領域が1.43eVである。また、B₂領域とB₃領域との界面すなわちAl_xGa_{1-x}As層(23)とGaAs層(22)とのヘテロ接合界面の伝導帯エネルギー差は略0.32eVである。該ヘテロ接合界面ではAl_xGa_{1-x}As層(23)とGaAs層(22)とがいずれもノンドープであり、しかもSiドープAl_xGa_{1-x}As層(24)のイオン化した不純物と分離されるためイオン化不純物が極めて

少なく、ソース電極(26)とドレイン電極(27)との間に電圧を印加すると電子はイオンによる散乱が少ないため高速で動作する。なお、誘起される2次元電子ガス濃度 n_s は約 $5 \times 10^{11} \text{ cm}^{-2}$ である。

ゲート電極(29)の電界効果により二次元電子ガスタンネル(30)を通過する電子を制御することにより、第4図に示す装置はHEMTとしてトランジスタ動作を行なう。

なお、Siドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)表面は非常に活性で、表面酸化や不純物吸着等が生じ不安定になり易く、良好なオーミック電極形成が困難なので、SiドープGaAs層(25)を設けている。

(ハ) 発明が解決しようとする課題

上述した如き従来のHEMTにおいて、ゲート・ソース間寄生容量 C_{gs} 、ゲート・ソース間寄生抵抗 R_s 等により高周波特性が劣化するという問題がある。

前記 C_{gs} はゲート電極(29)下の空乏層厚さに逆比例するため $C_{gs} \propto 1/d$ である。但し、 d はゲート電極(29)下のSiドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)、及びノ

ンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(23)の空乏層の厚さである。

C_{gs} を低減するには、 d を厚くすればよいことがわかる。

一方、前記 R_s は2次元電子ガスタンネル(30)の電子濃度 n_s に逆比例し、この n_s はSiドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)の不純物濃度 N_s (正確にはイオン不純物濃度 N_s^+)に比例するため $1/R_s \propto N_s$ である。

R_s を低減するには、 N_s を高くすればよいことがわかる。

HEMTの高周波特性は C_{gs} 、 R_s に大きく依存するため、 C_{gs} 、 R_s 共に低減する必要がある。

しかしながら、 C_{gs} を低減するため、 d を厚くすると、Siドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)に中性領域が発生するので、該中性領域が発生しないように N_s を低くする必要があり、 R_s が高くなる。即ち、空乏層幅 W と不純物濃度 N_d とは $W \propto 1/\sqrt{N_d}$ なる関係があるため、Siドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)の不純物濃度 N_s を低くして、 d を大きくした場合、 R_s が高くなる。

そこで、 R_s も低減するため、 N_s を高くしたまま、 d を厚くすると、Siドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)が厚くなり、該Siドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)中に中性領域ができ、電子チャンネルが発生する。Siドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)中の電子移動度は小さく、HEMTの高速性の妨げとなる。さらに、 N_s を高くすると、ゲート電極(29)のショットキ接合の耐圧が小さくなり、ゲートリークが発生しやすくHEMT動作が阻害される。

また、 R_s 低減化を妨げる他の要因として、Siドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)の組成 x に起因する問題がある。 x を大きくすると、ドナーレベルが深くなり(例えば、JAPANESE JOURNAL OF APPLIED PHYSICS Vol. 21 No. 8, AUGUST, 1982 pp. L476-L478「Si and Sn Doping in $\text{Al}_x\text{Ga}_{1-x}\text{As}$ Grown by MBE」参照。)、イオン化不純物濃度が減少し、 R_s の増加を招来する。

ソース電極(29)あるいはドレイン電極(27)下のSiドープGaAs層(25)とSiドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)はヘテロ接合であり、 $\Delta E_c \sim 0.3 \text{ eV}$ のバリアが存

在することになり、バリア抵抗のため、 R_s は増加し易い。ドナーレベルに関しては、Siドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)のノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)側の x を ~ 0.22 とすることにより解決を図り、また、バリア抵抗低減に関しては、Siドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)の x を途中から徐々に減少させ、SiドープGaAs層(25)界面で x を ~ 0 とすることでバリア抵抗を消失させる方法が知られている。しかしながら、低い x 及び、グレーティッドSiドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(24)により、ある程度、 R_s の増加を抑えることができるが完全なものではない。

本発明は C_{gs} 及び R_s の相方を低減したヘテロ接合電界効果トランジスタを提供しようとするものである。

(ニ) 課題を解決するための手段

本発明は、半絶縁性結晶基板と、この半絶縁性結晶基板上に設けられたノンドープ半導体チャンネル層と、このノンドープ半導体チャンネル層上に設けられた電子供給層と、この電子供給層上に設けらえたコンタクト層と、このコンタクト層上

に設けられた入力電極及び出力電極と、前記入力電極と前記出力電極の間に設けられた制御電極と、を備えて成るヘテロ接合電界効果トランジスタにおいて、前記電子供給層の不純物濃度は前記ノンドープ半導体チャンネル層側よりも前記コンタクト層側の方が小さいことを特徴とするヘテロ接合電界効果トランジスタである。

(ホ) 作用

2次元電子ガスチャンネルの濃度 n_s はヘテロ接合界面での電界強度を F_{is} 、電子供給層の誘電率を ϵ_s とすると、 $n_s = F_{is} \epsilon_s / q$ となり、 F_{is} はヘテロ接合界面近傍の不純物濃度 N_s に依存するため、濃度 n_s を高めるにはヘテロ接合界面近傍の不純物濃度 N_s を高めればよい。従って、電子供給層の2次元電子ガスチャンネル側を高不純物濃度とし、オーミック電極側を低不純物濃度とすることにより、 $n_s(N_s)$ を高くでき、しかも、全体としての電子供給層の厚さを厚くできるので、中性領域の発生はなく、しかも、高い $n_s(N_s)$ は R_s の低減に寄与する。

より、Siドープ $Al_xGa_{1-x}As$ 層(4)を120Åの厚さまで成長させる。ここで、Si濃度は $2 \times 10^{19} cm^{-3}$ である。また、 x は $Al_xGa_{1-x}As$ 層の中の $AlAs$ の組成を示す数値であり、0.22である。

次に、Siドープ $Al_xGa_{1-x}As$ 層(4)上にMBE技術により、Siドープ $Al_xGa_{1-x}As$ 層(5)を300Åの厚さまで成長させる。ここで、Si濃度は表面にいくに従い、 $2 \times 10^{19} cm^{-3}$ から $5 \times 10^{17} cm^{-3}$ まで徐々に低下させ、 x を0.22から0まで徐々に低下させている。このSiドープ $Al_xGa_{1-x}As$ 層(4)(5)で電子供給層が形成される。

Siドープ $Al_xGa_{1-x}As$ 層(5)上にMBE技術により、Siドープ $GaAs$ 層(6)を200Åの厚さまで成長させる。ここで、Si濃度は最初一定で、その後、表面にいくに従い、 $5 \times 10^{17} cm^{-3}$ から $2.5 \times 10^{18} cm^{-3}$ まで徐々に増加させている。続いて、Siドープ $GaAs$ 層(6)上にMBE技術によりSiドープ $GaAs$ 層(7)を300Åの厚さまで成長させる。ここでSi濃度は $2.5 \times 10^{18} cm^{-3}$ 一定である。このSiドープ $GaAs$ 層(6)(7)でコンタクト層が形成される。

また、コンタクト層の電子供給層側を低濃度にする事で、ゲート耐圧の劣化を防止し、ゲートリークを減少することができる。

(ヘ) 実施例

本発明を種々の実施例を用い、以下に説明する。

(実施例1)

第1図は本発明に係るヘテロ接合を用いたHEMTの模式的断面構造図であり、同図により以下にその製造方法を説明する。

まず、半絶縁性 $GaAs$ 基板(半絶縁性結晶基板)(1)上に分子線エピタキシ(MBE)技術によりノンドープ $GaAs$ 層(ノンドープ半導体チャンネル層)(2)を1 μm の厚さまで成長させ、さらに該ノンドープ $GaAs$ 層(2)上にノンドープ $Al_xGa_{1-x}As$ 層(3)を20Åの厚さまで成長させる。このノンドープ $Al_xGa_{1-x}As$ 層(3)とノンドープ $GaAs$ 層(2)とのヘテロ接合界面の該層(2)側に2次元電子チャンネル(12)が形成される。

ノンドープ $Al_xGa_{1-x}As$ 層(3)上にMBE技術に

その後、このようにして形成されたヘテロエピタキシャル基板上に $Au \cdot Ge \cdot Ni$ 等からなるオーミック金属を蒸着し、リフトオフ法によりソース電極形成部及びドレイン電極形成部に該金属を残し、合金化処理を行なってオーミック領域をSiドープ $GaAs$ 層(6)(7)、Siドープ $Al_xGa_{1-x}As$ 層(4)(5)内に貫通させてソース電極(8)、ドレイン電極(9)を形成する。

前記ソース電極(8)とドレイン電極(9)間のSiドープ $GaAs$ 層(6)(7)を除去し、リセス部(10)を形成する。このリセス部(10)の深さは、Siドープ $GaAs$ 層(6)の低濃度部が露出するように決定される。前記リセス部(10)上にゲート電極(制御電極)(11)を形成する。このゲート電極(11)は Al または $Ti-Pt-Au$ 等をソース電極(8)とドレイン電極(9)の間にリフトオフ法により選択的に被着することにより形成される。

第2図は、Siドープ $GaAs$ 層(7)-Siドープ $GaAs$ 層(6)-Siドープ $Al_xGa_{1-x}As$ 層(5)-Siドープ $Al_xGa_{1-x}As$ 層(4)に亘るSi濃度及び、Siドープ Al_xG

Al-xAs層(5)-SiドープAl_xGa_{1-x}As層(4)-ノンドープAl_xGa_{1-x}As層(3)に亘る組成xの分布図である。図中A₁領域はSiドープGaAs層(7)に、A₂領域はSiドープGaAs層(6)に、A₃領域はSiドープAl_xGa_{1-x}As層(5)に、A₄領域はSiドープAl_xGa_{1-x}As層(4)に、A₅領域はノンドープAl_xGa_{1-x}As層(3)に対応している。

第3図は作製したHEMTのゲート電極(11)-SiドープGaAs層(7)-SiドープAl_xGa_{1-x}As層(5)-SiドープAl_xGa_{1-x}As層(4)-ノンドープAl_xGa_{1-x}As層(3)-ノンドープGaAs層(2)に亘る伝導帯エネルギー図である。

図中、領域A₁~A₅は前述と同様にSiドープGaAs層(7)~ノンドープAl_xGa_{1-x}As層(3)に対応し、また、領域A₆はゲート電極(11)に、領域A₇は2次元電子ガスタンネル(12)に、領域A₈はノンドープGaAs層(2)に対応する。

上述の構造のHEMTでは、SiドープAl_xGa_{1-x}As層(4)のSi濃度が $2 \times 10^{18} \text{cm}^{-3}$ と高濃度であるので、 n_s を十分に高くでき、しかも、Siドープ

Al_xGa_{1-x}As層(5)のSi濃度が $2 \times 10^{18} \text{cm}^{-3}$ から $5 \times 10^{17} \text{cm}^{-3}$ に徐々に低められているので、電子供給層全体の厚さを厚くできる。

また、SiドープGaAs層(6)とSiドープAl_xGa_{1-x}As層(5)の界面でSiドープAl_xGa_{1-x}As層(5)のxは0なので、界面の不連続性はない。

本実施例のHEMTのC_{gs}は $\sim 0.6 \text{pF}$ 、R_sは $\sim 2 \Omega$ であり、従来の構造(第4図)で、SiドープAl_xGa_{1-x}As層(24)のxを0.22、Si濃度を $2 \times 10^{18} \text{cm}^{-3}$ とした場合のC_{gs} $\sim 1.0 \text{pF}$ 、R_s $\sim 2.4 \Omega$ に比べ、大幅に低減している。

高周波特性では最小雑音指数NF_{min}が従来の1.2dBに対し、本実施例では0.8dBとなり、大きく改善できた。

(実施例2)

SiドープAl_xGa_{1-x}As層(5)のSi濃度を $5 \times 10^{17} \text{cm}^{-3}$ 一定とし、厚さを350Åとした以外は実施例1と同じHEMTを作製した。このHEMTのC_{gs}は $\sim 0.58 \text{pF}$ 、R_sは $\sim 2.3 \Omega$ 、NF_{min}は $\sim 0.9 \text{dB}$ であった。

与するところ大である。

4. 図面の簡単な説明

第1図は、本発明に係るヘテロ接合FETの模式的断面図、第2図は、本発明に係るヘテロ接合FETの伝導帯エネルギー図、第3図は本発明に係るヘテロ接合FETのAl組成xと不純物濃度N_aの分布図、第4図は従来のヘテロ接合FETの模式的断面図、第5図は従来のヘテロ接合FETの伝導帯エネルギー図である。

(1)…半絶縁性GaAs基板(半絶縁性結晶基板)、(2)…ノンドープGaAs層(ノンドープ半導体チャネル層)、(3)…ノンドープAl_xGa_{1-x}As層、(4)(5)…SiドープAl_xGa_{1-x}As層(電子供給層)、(6)(7)…SiドープGaAs層(コンタクト層)、(8)…ソース電極(入力電極)、(9)…ドレイン電極(出力電極)、(10)…リセス部、(11)…ゲート電極(制御電極)。

出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣(外1名)

(実施例3)

SiドープGaAs層(6)のSi濃度を $1 \times 10^{18} \text{cm}^{-3}$ とした以外は実施例1と同じHEMTを作製した。このHEMTのC_{gs}は $\sim 0.6 \text{pF}$ 、R_sは $\sim 2 \Omega$ 、NF_{min}は $\sim 1.0 \text{dB}$ であった。

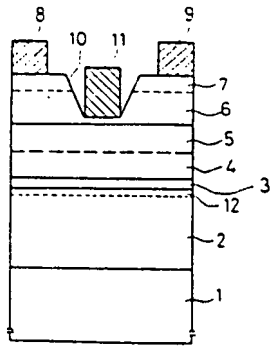
上述の各実施例では各層の成長にはMBE法を用いたが、急峻なヘテロ接合界面を形成できる方法、例えば有機金属エビタキシ(OMVPE)技術等を用いることができる。

また、本発明はInGaAs-InAlAsヘテロ接合、InP-InGaAs接合等に適用できることは明らかであるし、2次元電子ガスのみならず2次元ホールガスを用いたヘテロ接合電界効果トランジスタに適用できることも明らかである。

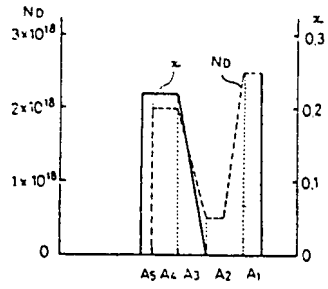
(ト) 発明の効果

本発明は以上の説明から明らかな如く、電子供給層の不純物濃度をノンドープ半導体チャネル層側よりもコンタクト層側の方を小さくしているので、電子供給層の厚さを十分厚く、しかも、 n_s (N_a)を高くすることができ、C_{gs}、R_sの低減に寄

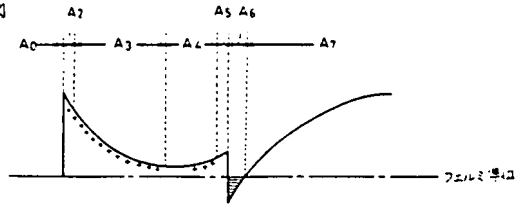
第1図



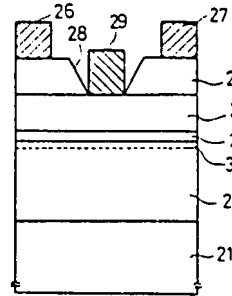
第2図



第3図



第4図



第5図

